

07-JUL-2005 15:51 FROM MILLER STURT KENYON

TO OLIFF BERRIDGE

P.03/17

**<The English Translation of the Korean Patent Application
Publication No. 2001-5268>**

1. The summary of the invention

The subject invention relates to the cell leakage current monitoring circuit of the semiconductor memory element. It is effective in decreasing the refresh current and preventing the destruction of the cell data by monitoring cell leakage current applying the voltage of cell plate to the monitoring cell plate directly to make the refresh operate in accordance with the variation of the cell leakage current caused by change of temperature, voltage or process etc.

The cell leakage current monitoring circuit of the subject invention for operating above comprises:

dummy cell portion wherein many memory cells composed of at least one NMOS transistor and one capacitor are connected to the dummy bit line and the dummy word line; the amplifier that compares and amplifies the electrical potential signal of the cell plate node of the said dummy leakage cell portion with the cell plate voltage; the first and second precharge transistors and the coordinate transistor for applying the cell plate voltage with the said cell plate node and the output node of the amplifier; the leakage current monitoring device composed of switching portion to short circuit optionally the output node of the said amplifier and cell plate node; the comparative device which produces the refresh signal by comparing and amplifying the output signal of the said cell leakage current monitoring device and the reference voltage.

2. Claim 1

Regarding the cell leakage current monitoring circuit of the semiconductor memory element, it comprises:

dummy cell portion wherein many memory cells composed of at least one NMOS transistor and one capacitor are connected to the dummy bit line and the dummy word line; the amplifier that compares and amplifies the electrical potential signal of the cell plate node of the said dummy leakage cell portion with the cell plate voltage; the first and second precharge transistors and the coordinate transistor for applying the cell plate voltage with the said cell plate node and the output node of the amplifier; the leakage current monitoring device composed of switching portion to short circuit optionally the output node of the said amplifier and cell plate node; the comparative device which produces the refresh signal by comparing and amplifying the output signal of the said cell leakage current monitoring device and the reference voltage.

BEST AVAILABLE COPY

07-JUL-2005 15:51 FROM MILLER STURT KENYON

TO OLIFF BERRIDGE

P.04/17

특 2001-0005268

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(5) Int. Cl.
 G11C 29/00

(11) 공개번호 특 2001-0005268
 (49) 공개일자 2001년 04월 15일

(21) 출원번호	10-1999-0026074	(11) 공개번호	특 2001-0005268
(22) 출원일자	1999년 06월 30일	(49) 공개일자	2001년 04월 15일
(71) 출원인	현대전자산업 주식회사 김영관		
	경기도 미천시 부발읍 아미리 산 136-1		
(72) 발명자	조호읍 서울특별시 서초구 서초2동 1360-16로얄주택 A동 201호 위재경 서울특별시 강진구 강장동 워커힐힐신아파트 2동 602호 이창혁 경기도 이천시 죽포동 대우2차 아파트 206-303 설영호 경기도 이천시 시대월면 사동리 441-1 현대전자아파트 103-206 오진근 경기도 이천시 부발읍 응암리 97 이화아파트 103-1503 김필중 광주광역시 서구 금호동 742-2 시영 일반아파트 503-804		
(74) 대리인	마희동, 마창문		

설사원구: 영문

(54) 혼 누설전류 감시 회로

오류

본 발명은 반도체 메모리 소자의 센 누설전류 감시 회로에 관한 것으로, 감시 센 플레이트에 적절한으로 절 플레이트의 전압을 인가하여 센 누설 전류를 모니터링으로써 울드, 전압 또는 프로세스 변화등으로 인한 센 누설 전류 변화에 맞추어 리프레시를 수행하도록 하여 리프레시 전류를 줄이고 센 데이타의 파괴를 방지시킬 수 있는 효과가 있다.

마을 구현하기 위한 본 발명의 센 누설전류 감시 회로는, 적어도, 1개의 NMOS 트랜지스터와 1개의 커퍼시 더로 구성된 다수개의 메모리 셀이 더미 비트라인과 더미 웨이드라인에 연결된 더미 섬부와, 상기 더미 누설 감시 섬부의 센 플레이트 노드의 전위 신호와 센 플레이트 전압을 비교·증폭하는 증폭단과, 상기 센 플레이트 노드와 증폭단의 출력 노드로 설 플레이트 전압을 인가하기 위한 제 1 및 제 2 프리차지 트랜지스터 및 뒤워 트랜지스터와, 상기 증폭단의 출력 노드와 설 플레이트 노드를 선택적으로 단락시키기 위한 스위치부로 구성된 센 누설전류 감시수단과, 상기 센 누설전류 감시수단의 출력신호와 기준전압을 비교·증폭하여 리프레시 신호를 발생시키는 비교 수단을 구비하여 이루며 진 것을 특징으로 한다.

도면

도 4

작성자

더미 센, 더미 센 누설전류 감시 회로, 면산 증폭기, 센 플레이트

증세자

도면의 고증과 설명

- 도 1은 종래의 센 누설전류 감시 회로도
- 도 2는 종래의 센 누설전류 감시 회로의 사슬레이션 결과도로서,
- 도 2a는 적분 회로부를 초기화 할 때의 파형도이고,
- 도 2b는 센 누설 전류를 모니터링 할 때의 파형도이다.

07-JUL-2005 15:51 FROM MILLER STURT KENYON

TO OLIFF BERRIDGE

P.05/17

도 3은 종래의 셀 누설전류 감시 회로의 풀로팅 노드(N)의 전압에 따른 시뮬레이션 결과도로서,
 도 3a는 클로팅 노드(N1)의 초기 전압이 0V 일때의 파형도이고,
 도 3b는 풀로팅 노드(N1)의 초기 전압이 2.5V 일때의 파형도이고,
 도 3c는 풀로팅 노드(N1)의 초기 전압이 2.5V일때 모니터의 파형도이다.

도 4는 충 충방에 의한 셀 누설전류 감시 회로의 회로도

도 5는 도 4에 도시한 적분 회로부의 제 2 실시예

도 6은 도 4에 도시한 적분 회로부의 제 3 실시예

도 7은 도 4에 도시한 적분 회로부의 제 4 실시예

도 8은 도 4에 도시한 적분 회로부의 제 5 실시예

도 9는 도 4에 도시한 적분 회로부의 제 6 실시예

도 10은 셀 클레이트 전압을 이용한 셀 누설전류 감시 회로의 시뮬레이션 결과도로서,

도 10a는 초기화 과정의 파형도이고,

도 10b는 모니터 과정의 파형도이다.

◆ 도면의 주요부분에 대한 부호의 설명 ◆

10 : 더미 설부

12 : 메모리 셀

20,120 : 더미 셀 누설전류 감시부

22 : 연산 증폭기

30 : 비교부

설명의 상세한 설명

설명의 목적:

설명에 속하는 기술분야 및 그 분야의 권리기술

본 발명은 반도체 뼈모리 소자의 셀 누설전류 감시 회로(Cell Leakage Current Monitor Circuit)에 관한 것으로, 특히 감시 셀(cell) 클레이트(plate)에 직접적으로 셀 클레이트의 전압을 의기하여 셀 누설 전류를 모니터링으로써 온도, 전압 또는 프로세스(Process) 변화등으로 인한 셀 누설 전류 변화량에 맞춰 리프레쉬(Refresh)를 수행하도록 하여 리프레쉬 전류를 줄이고 셀 데이터의 파괴를 막지시킨 셀 누설전류 감시 회로에 관한 것이다.

도 1은 종래의 셀 누설전류 감시 회로의 구성도로서, 1개의 NMOS 트랜지스터와 1개의 커�페시터로 구성된 다수개의 메모리 셀이 더미 비트라인(MBL)과 더미 워드라인(DBL)에 연결된 더미 설부(10)와, 상기 셀에서 누설된 전류를 검출해 내는 더미 셀 누설전류 감시부(20)와, 상기 더미 셀 누설전류 감시부(20)의 출력신호와 기준전압을 비교·증폭하여 리프레쉬 신호를 발생시키는 비교부(30)로 구성된다. 상기 더미 셀 누설전류 감시부(20)는 셀 클레이트 노드(cell plate)의 전위 신호와 셀 클레이트 전압(V_{cp})을 비교·증폭하는 증폭기(OP-AMP)(22)와, 상기 cell plate 노드와 상기 OP-AMP(22)의 출력 단자(V_i) 사이에 접속된 게이트시터(Ct)와, 상기 cell plate 노드와 상기 OP-AMP(22)의 출력 단자(V_i) 사이에 접속되고 게이트로 제어 신호(Ict)가 입력되는 NMOS 트랜지스터(01)와, 상기 cell plate 노드와 상기 OP-AMP(22)의 출력 단자(V_i) 사이에 직접 접속된 NMOS 트랜지스터(02)와 커�페시터(Cpt)로 구성된다. 여기서, 상기 NMOS 트랜지스터(02)는 제어 신호(Ict)에 의해 스위칭된다.

상기 구성을 의한 회로의 초기화 과정은 다음과 같다.

먼저, NMOS 트랜지스터(01)의 게이트로 입력되는 제어 신호(Ict)가 엑티브(HIGH)되어 모니터링 셀 클레이트(cell plate)에 셀 클레이트 전압(V_{cp})이 인가(V_{cp}=V_{cp})됨 상태에서 더미 워드라인(DBL), 더미 비트라인(DBL, DBL)은 엑티브하여 셀의 데이터를 라이트한다. 셀에 데이터를 라이트한 다음(MBL, DBL, DBL)을 비활성 상태, 상기 제어 신호(Ict)를 비활성(LOW) 상태로 하면 이때부터 모니터 셀의 누설 전류를 모니터링하게 된다.

도 2는 종래의 셀 누설전류 감시 회로의 시뮬레이션 결과도로서, 도 2a는 적분 회로부를 초기화 할 때의 파형도이고, 도 2b는 셀 누설 전류를 모니터링 할 때의 파형도를 나타낸 것이다.

도 3은 종래의 셀 누설전류 감시 회로의 풀로팅 노드(N)의 전압에 따른 시뮬레이션 결과도로서, 도 3a는 풀로팅 노드(N1)의 초기 전압이 0V 일때의 파형도이고, 도 3b는 풀로팅 노드(N1)의 초기 전압이 2.5V 일때 모니터의 파형도이고, 도 3c는 풀로팅 노드(N1)의 초기 전압이 2.5V일때 모니터의 파형도이다.

설명에 이루고자 하는 기술적 과정

그러나, 상기 구성을 갖는 종래의 셀 누설 모니터 회로에 있어서는, 셀 누설 모니터 회로를 초기화를 수반할 때, 모니터링되는 셀의 셀 클레이트에 셀 클레이트 전압(V_{cp})이 연산 증폭기(OP-AMP)를 통해 인가됨으로 모니터 셀에 데이터가 라이트될 때 모니터링 셀 클레이트의 전압이 혼들리게 된다. 또한, 모스 트랜

07-JUL-2005 15:52 FROM MILLER STURT KENYON

TO OLIFF BERRIDGE
국 2001-0006268

P.06/17

지스터(01)의 루터전압(Vt)의 저하로 모니터 셀 플레이트 전압(Vcp)과 OP-AMP의 출력전압(VI)이 차이가 나게 되어 모니터 셀 플레이트에 접착한 Vcp전압을 인가할 수가 없다. 그리고 OP-AMP를 통해서 Vcp 전압이 인가되므로 lct1을 엑티브되는 시간을 길게 가져가거나 모스 트랜지스터(01)의 크기를 크게 해야한다. lct1 엑티브 펙스 폭을 길게 가져가거나 모스 트랜지스터(01)의 크기가 커지면 레이아웃 면적이 증가하는 문제점이 있었다.(도 2 참조)

또한 옵션을 사용하지 않을 경우, 즉 opct1가 비활성(로우)인 경우 노드(N1)이 풀로팅 상태가 된다. 커피시터의 한쪽 노드가 OP-AMP의 출력 노드와 연결되어져 있고 또 다른 노드가 노드(N1)에 연결되어 풀로팅 상태이다. 별 구성을 모니터링하는 블록에 노드(N1)의 초기 전압에 따라 OP-AMP의 출력 레벨이 변화하여 신호 리프레쉬의 엑티브되는 시간이 다른 문제점이 있었다.(도 3 참조)

따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 모니터링 셀 플레이트에 적절적으로 셀 플레이트의 전압을 인가하여 셀 누설 전류를 모니터링으로써 온도, 전압 또는 프로세스(Process) 변화등으로 인한 셀 누설 전류 변화함에 맞쳐 리프레쉬(Refresh)를 수행하도록 하여 리프레쉬 전류를 줄이고 셀 데이터의 파괴를 방지시킨 셀 누설 모니터 회로를 제공하는데 있다.

발명의 구조 및 작동

상기 목적을 달성하기 위하여, 본 발명의 셀 누설 모니터 회로는,

반도체 메모리 소자의 셀 누설전류 감시 회로에 있어서,

적어도, 1개의 NMOS 트랜지스터와 1개의 커피시터로 구성된 다수개의 메모리 셀이 더미 비트라인과 더미 워드라인에 연결된 더미 셀부분.

상기 더미 누설 감시 셀부의 셀 플레이트 노드의 전위 신호와 셀 플레이트 경계를 비교·증폭하는 증폭단과, 상기 셀 플레이트 노드와 증폭단의 출력 노드로 셀 플레이트 전압을 인가하기 위한 제 1 및 제 2 콜리치지 트랜지스터 및 풀웨이 트랜지스터와, 상기 증폭단의 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭부로 구성된 셀 누설전류 감시수단과,

상기 셀 누설전류 감시수단의 출력신호와 기준전압을 비교·증폭하여 리프레쉬 신호를 발생시키는 비교수단을 구비하여 이루어진 것을 특징으로 한다.

상기 구성을 더하여, 상기 제 1 및 제 2 콜리치지 트랜지스터와 풀웨이 트랜지스터는 NMOS이거나 PMOS, 또는 전당 게이트인 것이 바람직하다.

그리고, 상기 스위칭부는 1개의 제어 신호에 의해 동작되는 2개의 NMOS 사이에 커피시터가 구성되거나 또는 1개의 제어 신호에 의해 동작되는 2개의 PMOS 사이에 커피시터가 구성된 것이 바람직하다.

또한, 상기 스위칭부는 동일한 제어 신호에 의해 동작되는 2개의 전달 게이트 사이에 1개의 커피시터가 구성되거나, 동일한 제어 신호에 의해 동작되는 2개의 전달 게이트 사이에 1개의 커피시터가 구성된 제 1 및 제 2 스위칭부가 병렬 연결되어 구성될 수 있다.

이하, 본 발명의 일상시기에 관하여 일부도면을 참조하면서 상세히 설명한다.

또, 실시예를 설명하기 위한 모든 도면에서 동일한 기능을 갖는 것은 동일한 부호를 사용하고 그 반복적인 설명은 생략한다.

도 4는 본 발명에 의한 셀 누설전류 감시 회로의 회로도로서, 1개의 NMOS 트랜지스터와 1개의 커피시터로 구성된 다수개의 메모리 셀이 더미 비트라인(MBL)과 더미 워드라인(DWL)에 연결된 더미 셀부(10)와, 상기 더미 셀부(10)의 셀 플레이트 노드(cell plate)의 전위 신호와 셀 플레이트 전압(Vcp)을 비교·증폭하는 증폭기(OP-AMP)(22)와, 상기 더미 누설전류 감시 셀부(10)의 셀 플레이트 노드로 셀 플레이트 전압(Vcp)을 인가하기 위한 콜리치지 트랜지스터(01) 및 02) 및 풀웨이 트랜지스터(01)와, 상기 OP-AMP(22)의 출력노드(VI)와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭 트랜지스터(02 및 01)와, 상기 스위칭 트랜지스터(02 및 01) 사이에 접속된 커피시터(Cap)로 구성된 더미 셀 누설전류 감시부(120)를 구성된다. 그리고 상기 더미 셀 누설전류 감시부(120)의 출력신호와 기준전압을 비교·증폭하여 리프레쉬 신호를 발생시키는 비교부(30)로 구성된다.

상기 더미 셀부(10)는 1개의 트랜지스터와 1개의 커피시터로 구성된 메모리 셀들의 접합이다. 실제 메모리 셀과 더미 누설 감시 셀을 분리한다. 실제 메모리 셀들의 셀 플레이트는 공동으로 연결되어 Ncp(약 1/2 Vcc)전압이 인가되어진다.

본 발명에 사용되는 누설 감시 셀들의 셀 플레이트는 실제 메모리 셀의 셀 플레이트와 분리되어 더미 셀 누설전류 감시부(120)의 OP-AMP(22)의 네가티브 단자에 연결되어진다.

더미워드라인(DWL)은 더미 누설 모니터 셀의 셀 트랜지스터를 제어하는 신호로 공통으로 묶여 있다. 더미비트라인은 더미 데이터 패턴에 변화를 주기 위해서 2개로 나뉘어 진다. 예를 들면, DB0=“하이”, DB1=“로우”를 입력하고 예상 신호를 엑티브하면 더미 누설 모니터 셀에 1010...의 데이터 패턴이 저장되고 DB0=“하이”, DB1=“하이”라면 1111...의 데이터 패턴이 저장된다. 더미 워드라인과 더미 비트라인을 오프(아웃)시키면 셀에서 누설 전류가 흐르게 된다. 이때 셀의 누설 성분은 절약 누설 전류, 부문턱 누설 전류, ONO 누설 전류, 그리고 셀간의 결합 누설 등의 합으로 이루어진다. 즉,

〈수학식 1〉

$$I_{\text{leak}} = I_{\text{leak_cap}} + I_{\text{leak_on_node}} + I_{\text{leak_between_cells}}$$

이러한 누설 전류는 온도, 전압 또는 프로세스 변화등으로 변하게 된다. 특히 셀간의 누설 전류는 셀의 대비타 패턴에 따라 크게 변화한다.

07-JUL-2005 15:52 FROM MILLER STURT KENYON

TO OLIFF BERRIDGE

P.07/17

상기 더미 셀 누설전류 감시부(120)는 OP AMP(22), 캐리어 커플리터(01), 적분기 스위치 디바이스(01), 프리차지 디바이스(011,012) 그리고 흡선 부는(02,021,Copt)으로 구성된다.

먼저, 올선 부분은 기본기 커플리터스를 블리기 위해서 추가된다. 즉 optct01이 액티브되면 올선 스위치 디바이스 02, 021이 온(on)되어 C1와 Copt가 병렬구조로 되어 캐리어 커플리터스는

<수학식 2>

$$C_{\text{out}} = C_1 + C_{\text{opt}}$$

가 된다. 또한 optct01이 비활성 상태가 되면 올선 스위치 디바이스 01, 021이 오프되어 캐리어 커플리터스는

<수학식 3>

$$C_{\text{out}} = C_1$$

이 된다.

적분기 제어신호(Ict1)가 액티브되면 캐리어 스위치 디바이스(01)와 프리차지 디바이스(011,012)가 액티브되어 누설 모니터 경위 셀 플레이트와 OP AMP의 출력 노드는 Vcp(=1/2 Vcc)로 프리차지(preecharge), 이퀄라이즈된다. 따라서 더미 누설 모니터 셀의 셀 플레이트에 Vcp가 인가되고 되어 노름 매모리 셀과 같이 셀 플레이트에 동일한 전압이 걸린다. 이때 더미 누설 모니터 셀에 데이터를 라이트(Write) 한다. 그 다음에 적분기 제어신호(Ict1)신호가 비활성되면 캐리어 스위치 디바이스(01)과 프리차지 디바이스(011,012)는 디스에이블된다. 이때 더미 누설 모니터 셀과 OP AMP의 내거친브 단자 전압을 비증출그라운드 노드를 OP AMP의 포지티브 단자와 동일한 전압이 걸리게 된다. 이때 더미 누설 모니터 셀로부터 누설 전류가 빠져 나가면 그 양만큼의 전류가 적분기 커플리터의 경위 캐리어가 흐르게 된다. 이 경우 전류에 의해 적분기 출력 전압은 상승하게 된다. 즉,

<수학식 4>

$$I_{\text{out}} = \frac{1}{C_{\text{out}}} \int I_{\text{ct}} dt$$

여기서, 적분기 출력 전압의 상승 속도는 $1/C_{\text{out}}$ 에 비례하게 된다.

비교부(30)는 더미 셀 누설전류 감시부(120)의 출력 전압(V1)과 기준 전압(Vref)을 비교하게 된다. 초기에 기준전압(Vref)이 적분기 출력전압(V1)보다 커서 비교기는 로우를 활성하게 된다. 점차로 적분기 출력 전압(V1)가 상승하여 기준전압(Vref)보다 높게 되면 비교기는 하이를 활성하게 된다. 리프레시 요구 시간은 적분기 출력전압(V1)이 기준전압(Vref)보다 높을 때 결정된다. 즉,

<수학식 5>

$$I_{\text{out}} = I_{\text{ct}} = \frac{1}{C_{\text{out}}} \int I_{\text{ct}} dt$$

온도, 전압 또는 프로세스 변화로 인하여 셀 누설 전류(Ict)가 변화하면 리프레시 요구 시간(tref req)이 변화하게 된다.

따라서 전체적인 동작을 간단하게 설명하면 다음과 같다.

먼저, 더미 셀 누설전류 감시부(120)를 초기화하고 더미 누설 감시 셀에 데이터를 라이트한다. 즉, Ict1 신호로 액티브시키고 08L0, 08L1에 데이터를 입력하고 08L을 액티브한다.

그 후, 08L, 08L0, 08L1, Ict1을 디스에이블하고, 셀의 누설 전류에 의해 적분기 커플리터에 전위 전류가 흐른다. 이때, 온도, 전압, 프로세스 변화에 의해 셀의 누설 전류는 변화하게 된다.

전위 전류에 의해 적분기의 출력 전압이 상승한다. 이때 출력 전압의 기울기는 적분기 커플리터스(Ceq)의 역수에 비례한다.

비교부(30)는 기준전압과 더미 셀 누설전류 감시부(120)의 출력 전압을 비교한다. 그래서 상기 더미 셀 누설전류 감시부(120)의 출력 전압이 기준전압보다 높으면 비교기 출력의 요구 신호를 하이로 출력된다.

도 5는 도 4에 도시한 더미 셀 누설전류 감시부(120)의 제 2 실시예로서, NMOS 트랜지스터로 구성된 상기 프리차지 트랜지스터(011,012)와 동위 트랜지스터(01)를 PMOS로 구현한 것이다.

그리고, 도 6은 도 4에 도시한 더미 셀 누설전류 감시부(120)의 제 3 실시예로서, 상기 NMOS 트랜지스터를 구현된 상기 프리차지 트랜지스터(011,012)와 동위 트랜지스터(01)를 전달 게이트(G1, G2, G3)로 구현한 것이다.

그리고, 도 7은 도 4에 도시한 더미 셀 누설전류 감시부(120)의 제 4 실시예로서, OP AMP의 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭부(02,021)를 1개의 제어 신호에 의해 풍작되는 PMOS 트랜지스터로 구현하였다. 이때, 2개의 PMOS 트랜지스터 사이에는 커플리터가 구성된다.

도 8은 도 4에 도시한 더미 셀 누설전류 감시부(120)의 제 4 실시예로서, OP AMP의 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭부(02,021)를 동일한 제어 신호에 의해 풍작되는 2개의 전달 게이트로 구현하고, 이를 2개의 전달 게이트 사이에 1개의 커플리터를 구성한 것이다.

07-JUL-2005 15:53 FROM MILLER STURT KENYON

TO OLIFF BERRIDGE
42001-0000288

P.08/17

도 9는 도 4에 도시한 더미 셀 누설전류 감시부(120)의 제 4 실시예로서, OP 세그의 출력 노드와 셀 플레이트 게이트 사이에 1개의 커피시터가 구성된 제 1 및 제 2 스위칭부가 병렬로 연결 구성하였다. 도 10은 셀 플레이트 전압을 이용한 셀 누설전류 감시 회로의 시뮬레이션 결과도로서, 도 10a는 초기화 과정의 파형도이고, 도 10b는 모니터 과정의 파형도이다.

표상의 요약

이상에서 설명한 바와 같이, 본 발명의 셀 누설 모니터 회로에 의하면, 온도, 전압 또는 프로세스 변화를 통로 셀의 데이터 유지 시간이 감소(즉 셀의 누설 전류가 증가)하면 이러한 셀 누설 전류를 모니터링하여 리프레시 요구가 발생하여 리프레시가 이루어지므로 셀 데이터의 파괴를 막을 수 있다. 또한, 셀 데이터 유지 시간이 증가(즉 셀의 누설 전류가 감소)하면 리프레시 요구 시간을 늘릴 수 있으므로 리프레시 하는 데 소모되는 전력을 감소시킬 수 있다.

마지막으로 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가등이 가능할 것이다며, 이러한 수정, 변경등은 미하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

(5) 청구의 분류

청구항 1

반도체 메모리 소자의 셀 누설전류 감시 회로에 있어서,

적어도, 1개의 NMOS 트랜지스터와 1개의 커피시터로 구성된 다수개의 메모리 셀이 더미 비트라인과 더미 웨어드라인에 연결된 더미 셀부분,

상기 더미 누설 감시 셀부의 셀 플레이트 노드의 진위 신호와 셀 플레이트 전압을 비교·증폭하는 증폭단과, 상기 셀 플레이트 노드와 증폭단의 출력 노드로 셀 플레이트 전압을 인가하기 위한 제 1 및 제 2 표준리치자 트랜지스터 및 동위 트랜지스터와, 상기 증폭단의 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭부로 구성된 셀 누설전류 감시수단과,

상기 셀 누설전류 감시수단의 출력신호와 기준전압을 비교·증폭하여 리프레시 신호를 발생시키는 비교수단을 구비하여 이루어진 것을 특징으로 하는 셀 누설전류 감시 회로.

청구항 2

제 1항에 있어서,

상기 제 1 및 제 2 표준리치자 트랜지스터와 동위 트랜지스터는 NMOS인 것을 특징으로 하는 셀 누설전류 감시 회로.

청구항 3

제 1항에 있어서,

상기 제 1 및 제 2 표준리치자 트랜지스터와 동위 트랜지스터는 PMOS인 것을 특징으로 하는 셀 누설전류 감시 회로.

청구항 4

제 1항에 있어서,

상기 제 1 및 제 2 표준리치자 트랜지스터와 동위 트랜지스터는 전압 게이트의 것을 특징으로 하는 셀 누설전류 감시 회로.

청구항 5

제 1항에 있어서,

상기 스위칭부는, 1개의 제어 신호에 의해 동작되는 2개의 NMOS 사이에 커피시터가 구성된 것을 특징으로 하는 셀 누설전류 감시 회로.

청구항 6

제 1항에 있어서,

상기 스위칭부는, 1개의 제어 신호에 의해 동작되는 2개의 PMOS 사이에 커피시터가 구성된 것을 특징으로 하는 셀 누설전류 감시 회로.

청구항 7

제 1항에 있어서,

상기 스위칭부는, 동일한 제어 신호에 의해 동작되는 2개의 전달 게이트 사이에 1개의 커피시터가 구성된 것을 특징으로 하는 셀 누설전류 감시 회로.

청구항 8

07-JUL-2005 15:53 FROM MILLER STURT KENYON

TO CLIFF BERRIDGE
CLIFF BERRIDGE

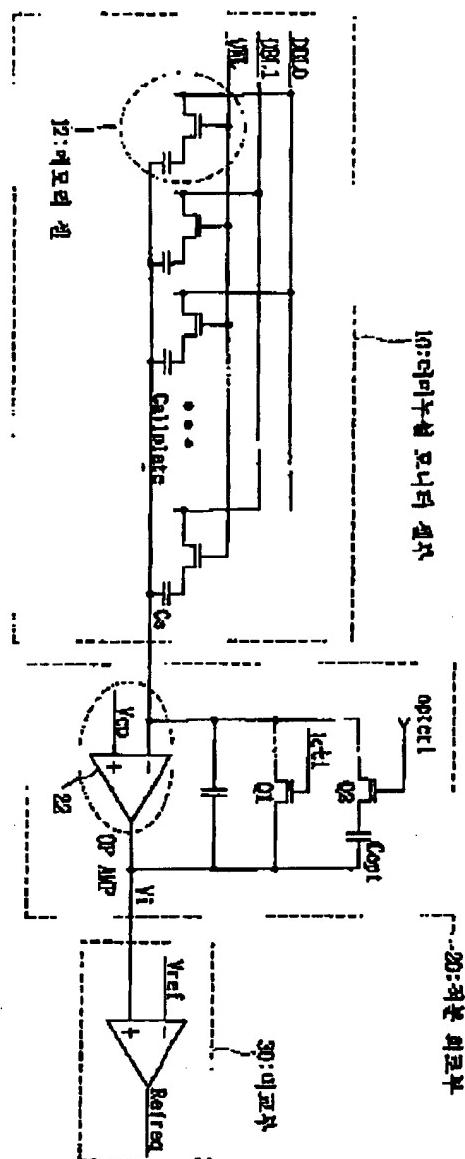
P.09/17

제 힘에 있어서,

상기 스위치부는, 동일한 체에 신호에 의해 등장되는 2개의 전달 게이트 사이에 1개의 커래시터가 구성된 제 1 및 제 2 스위치부가 병렬 연결된 것을 특징으로 하는 쌍 누설전류 감지 회로.

58

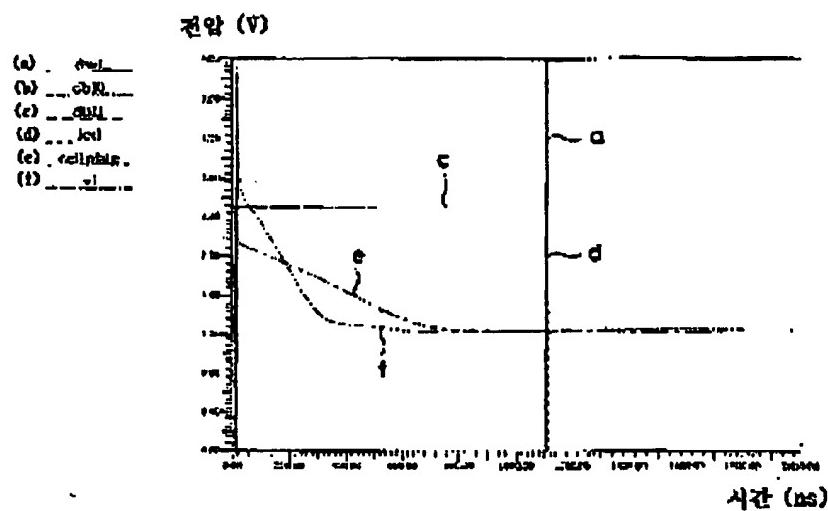
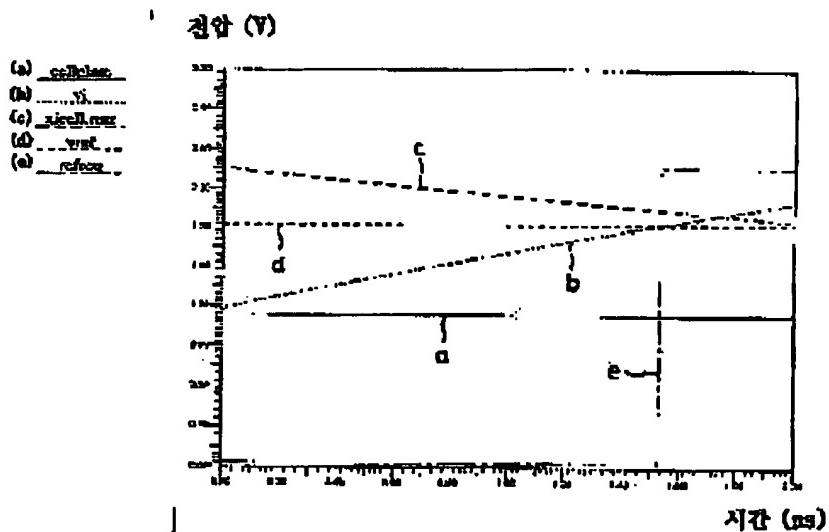
548



07-JUL-2005 15:53 FROM MILLER STURT KENYON

TO OLIFF BERRIDGE

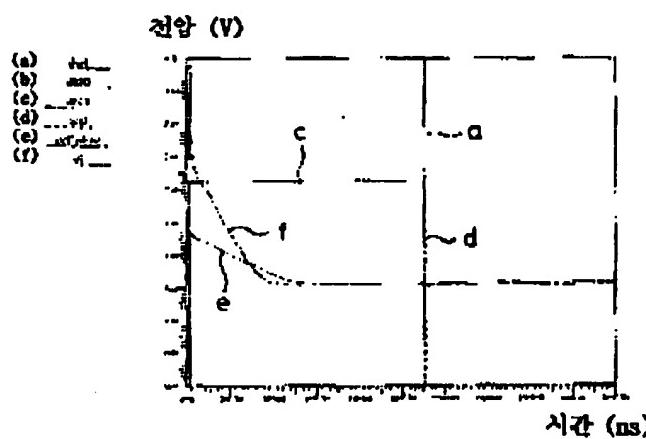
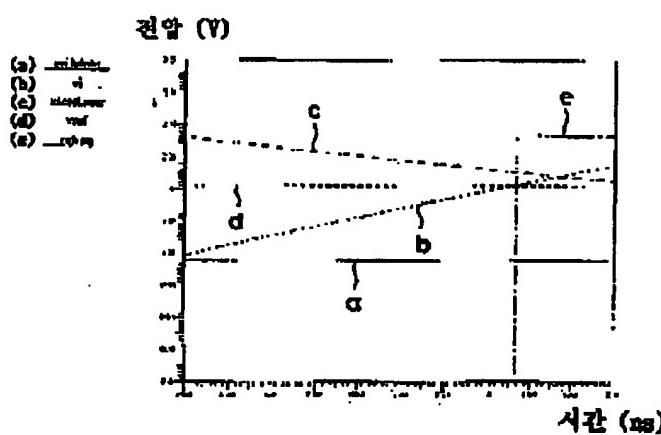
P.10/17

~~562a~~~~562b~~

07-JUL-2005 15:53 FROM MILLER STURT KENYON

TO OLIFF BERRIDGE
42001-0006288

P.11/17

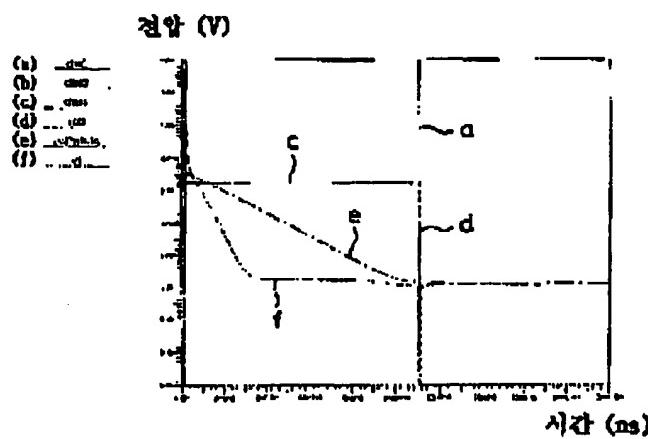
~~503a~~~~503b~~

07-JUL-2005 15:54 FROM MILLER STURT KENYON

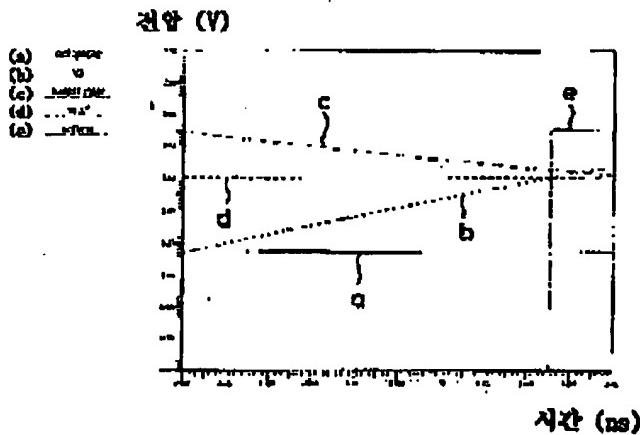
TO OLIFF BERRIDGE
2001-0005268

P.12/17

도면3a



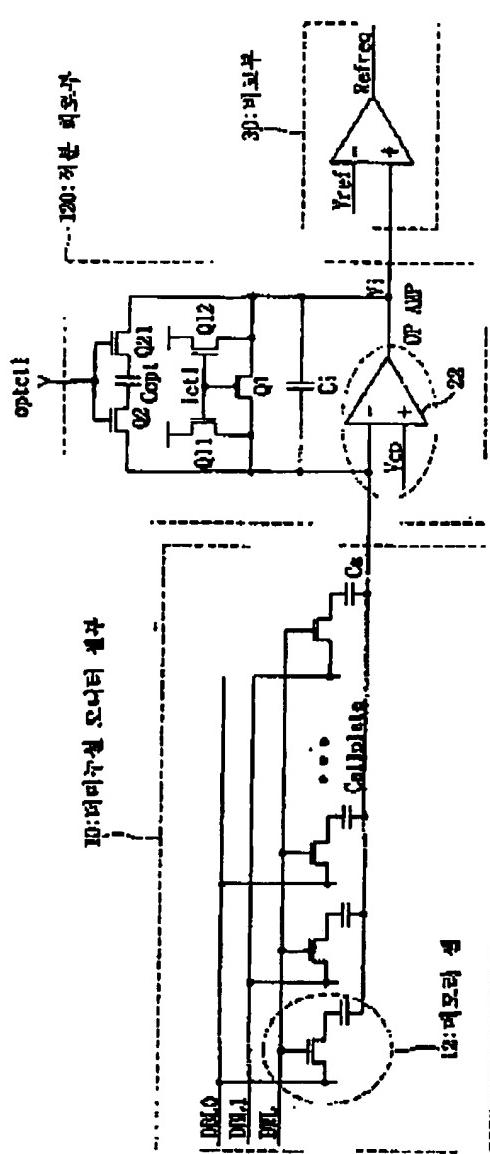
도면3b

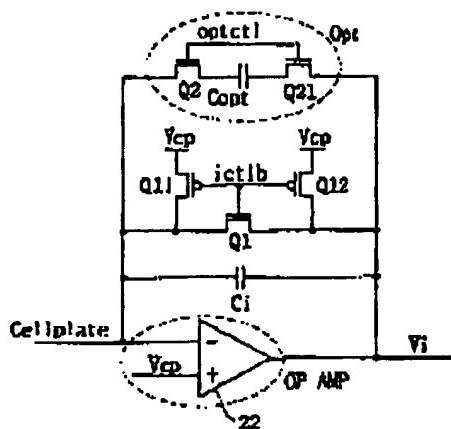
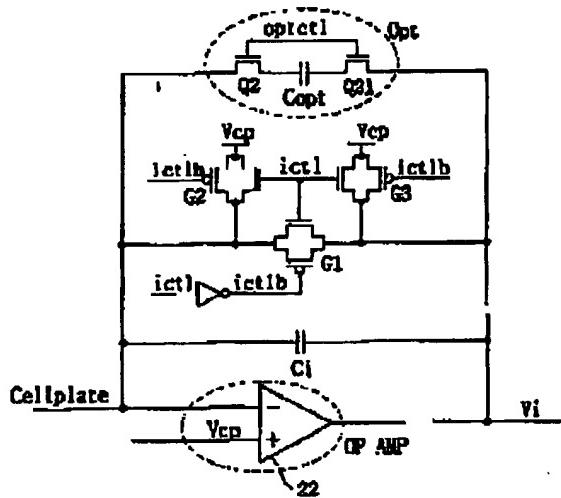


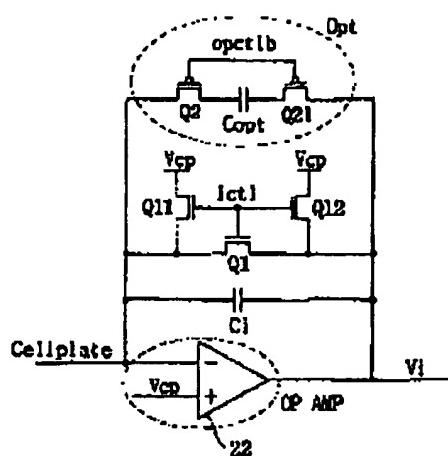
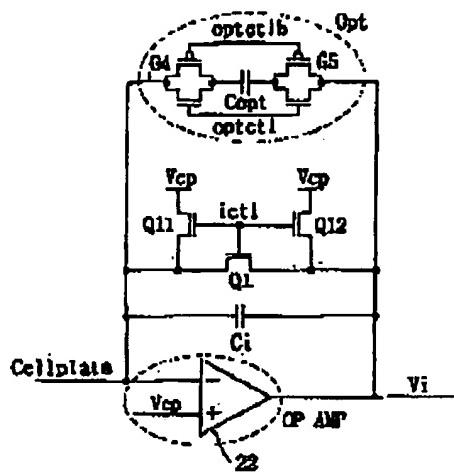
07-JUL-2005 15:54 FROM MILLER STURT KENYON

TO CLIFF BERRIDGE
4001-0005268

P. 13/17



~~585~~~~586~~

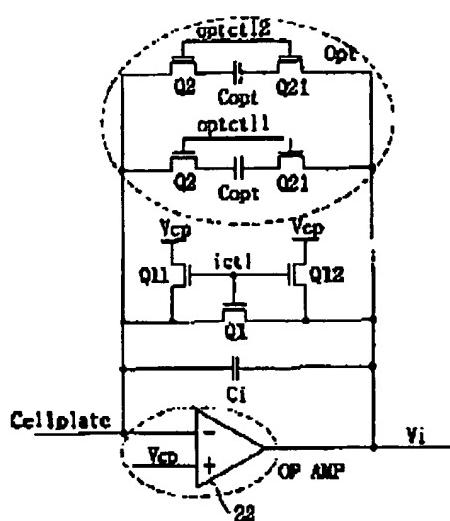
~~527~~~~528~~

07-JUL-2005 15:54 FROM MILLER STURT KENYON

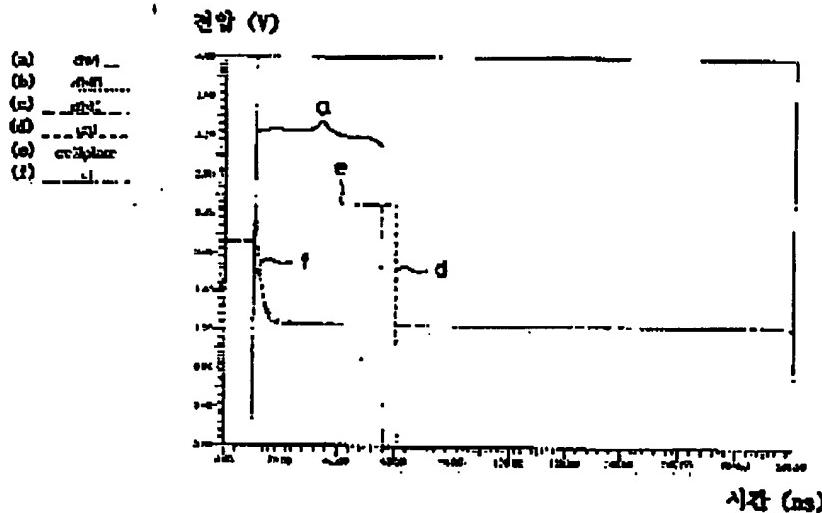
TO OLIFF BERRIDGE

P.16/17

520



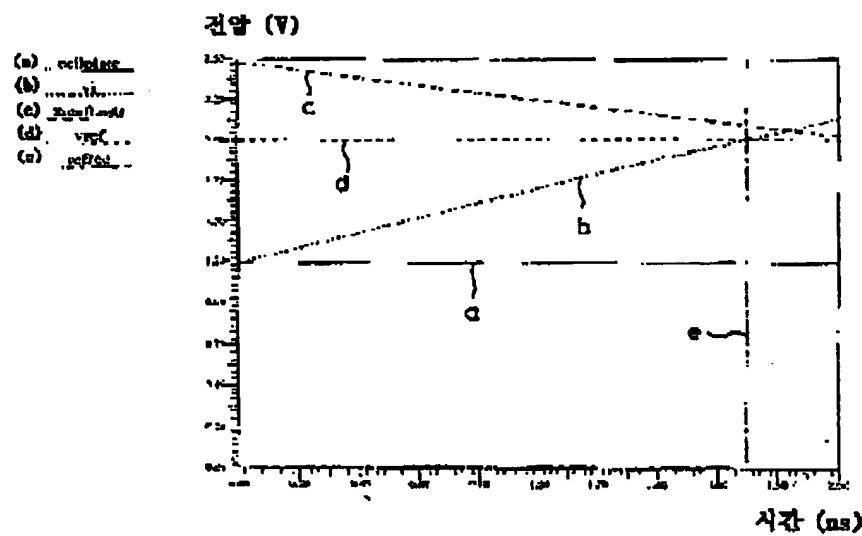
520/0



07-JUL-2005 15:55 FROM MILLER STURT KENYON

TO OLIFF BERRIDGE

P.17/17

~~58106~~

14-14

TOTAL P.17

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.